

2025년 1학기 확장형 수업계획서

1. 교과목 개요

교과목명	VLSI시스템		강좌번호		수업유형	
수업요일			수강대상		학점/시수	3 / 3-0-0
교과목 유형					성적평가 방법	상대
이수구분		영역구분		강의실	입력일자	2025-02-03
관련 교육과정						
담당교수	소속단대	공과대학	연구실	건물명/호실	/	전화번호
	소속학과	전자·반도체공학부		e-mail		
	성명	박성욱		면담가능시 간		

2. 역량연계

전공능력	전공능력	반도체 개발	반도체에 대한 기초 이해를 바탕으로 반도체 소자와 물성을 이해하고, 집적회로를 해석하고 설계할 수 있으며, 반도체 제조에 필요한 기본적인 공정에 대해 이해하는 능력
	전공하위능력	응용설계	나는 CMOS를 이용하여 집적회로를 해석하고 설계할 수 있다.
	진출(진로)분야	반도체 및 회로설계 전문가	
전공능력	전공능력	반도체 개발	반도체에 대한 기초 이해를 바탕으로 반도체 소자와 물성을 이해하고, 집적회로를 해석하고 설계할 수 있으며, 반도체 제조에 필요한 기본적인 공정에 대해 이해하는 능력
	전공하위능력	응용설계	나는 CAD tool을 이용한 아날로그 IC를 해석하고 설계할 수 있다.
	진출(진로)분야	반도체 및 회로설계 전문가	
전공능력	전공능력	반도체 개발	반도체에 대한 기초 이해를 바탕으로 반도체 소자와 물성을 이해하고, 집적회로를 해석하고 설계할 수 있으며, 반도체 제조에 필요한 기본적인 공정에 대해 이해하는 능력
	전공하위능력	응용설계	나는 여러가지 초고주파용 소자들이 어떻게 사용되는지 설명할 수 있다.
	진출(진로)분야	반도체 및 회로설계 전문가	

3. 학습목표

디지털 시스템의 반도체 개발 절차의 큰 그림을 이해한다

논리 반도체 구현과 검증에 사용할 하드웨어 서술 언어인 Verilog 에 대한 문법 이해한다

실습 및 과제를 통해서 Verilog 설계 기술과 시뮬레이션 기법을 배운다. 이를 통하여 간단한 논리회로의 설계, 시뮬레이션이 가능하다.

4. 교과목 내용

- Verilog 언어 문법 습득한다.
- Verilog를 이용한 Digital 회로 설계를 수행한다.
- Verilog를 활용하여 Digital 회로 검증을 수행한다.

5. 교재 필독권장도서 및 참고문헌 / 수업자료

배포자료를 이용하여 진행합니다. 아래 책자를 참고하시면 도움이 됩니다. 또한 다른 Verilog 책을 보셔도 무관합니다. 참고 교재: * Verilog HDL 설계, 신경욱 지음, 한빛출판사 * 디지털시스템 설계 및 실습, 노승환 지음, 한빛 아카데미 * IEEE Standard for Verilog Hardware Description Language(1364-2005)

6. 선 후수 과목

전공능력	1학년		2학년		3학년		4학년	
	1학기	2학기	1학기	2학기	1학기	2학기	1학기	2학기
전자·반도체공학 기초 이해			공학수학I	공학수학II 선형대수학				
전자·반도체공학 실무 기초 이해					전자교육론	설계프로젝트기초_캡스톤디자인 전자논리와논술	고급설계프로젝트_캡스톤디자인 반도체 캡스톤디자인 전자교재연구및지도법	IoT융복합시스템설계_캡스톤디자인 국내현장실습 반도체 캡스톤디자인 산학연과제연구_캡스톤디자인
반도체 개발			반도체개론 반도체산업,공정의 이해	반도체개론 반도체기초 반도체산업,공정의 이해	반도체물성	반도체소자	VLSI시스템 반도체 공정	집적회로 설계 초고주파 회로
회로설계 및 실험			논리회로 설계 전기 및 디지털 회로 실험 I 전기회로 I	디지털시스템설계 전기 및 디지털 회로 실험 II 전기회로II	전자회로I 전자회로 실험	전자회로II		
임베디드시스템 개발					컴퓨터구조	마이크로프로세서기초 마이크로프로세서실험 시스템프로그래밍	마이크로프로세서 응용 자료구조및알고리즘	임베디드 시스템

주	주요학습내용	수업 운영방식	학생참여형 수업방법	과제 및 수업자료
	다			
3주차	● Verilog 자료형 - net, variable - parameter, numbers	강의		pdf 파일
4주차	● Verilog 표현식 (1/2) - 표현식, 피연산자, 연산자 일반 - string, bit-select, part-select - 산술, 관계 연산자	강의		pdf 파일
5주차	● Verilog 표현식 (2/2) - 비교, 논리 연산자 - 비트, 축약 연산자 - 이동, 조건, 결합, 복제 연산자 - 표현식에서의 비트 길이 이해 하기	강의		pdf 파일
6주차	● Verilog 모델링 방법의 이해 - 게이트 수준 모델링 (gate primitive) - 레지스터 전송 수준 모델링 (연속 assign)	강의		pdf 파일
7주차	● Verilog 모델링 방법의 이해와 할당 - 행 위 수준 모델링 (절차형 할당, procedure) - blocking assignment, nonblocking assignment - 절차형 연속 할당	강의		pdf 파일
8주차	● 중간고사	기타		pdf 파일
9주차	● 절차형 구문에서의 흐름 제어 - 실행순서 제어 (if, case, loop) - regular timing control (delay, event, wait) - intra timing control (delay, event)	강의		pdf 파일
10주차	● Block 과 Procedure - sequential block vs parallel block - initial, always, task, function ● Directives, system task, system function	강의		pdf 파일
11주차	● 생성문 - loop generate - conditional generate ● 계층적 이름 경로 - 상향 참조	강의		pdf 파일
12주차	● 다양한 회로 표현 방법 연습 - 인코더 - 디코더 - SR latch - D latch with enable	실험/실습		pdf 파일
13주차	● Flip flop 과 FIFO ● FSM (Finite State Machine)	실험/실습		pdf 파일
14주차	● 곱셈기 ● UART receiver ● UART transmitter	실험/실습		pdf 파일
15주차	● 기말고사	기타		pdf 파일

<학생참여형 수업방법> 참고

- PBL(problem based learning): 문제중심학습 형태로 문제를 해결해 나가는 과정을 통해 문제해결능력을 배양해 나가는 자기주도적 학습
- 플립러닝(flipped learning): 선행학습 형태로 온라인을 통해 선행 학습 뒤 오프라인 강의를 통해 교수와 토론식 강의를 진행
- TBL(team based learning): 팀 기반학습 형태로 적정 규모의 팀원이 현안과제나 문제를 해결하고, 아이디어를 공유하면서 지식을 창출
- DBL(discussing based learning): 토론을 통해 현안 과제를 해결하는 학습
- 액션러닝(action learning): 현장 문제를 해결하기 위한 소수 학습자집단(4~8명)의 경험과 상호작용을 통한 학습

12. 참고사항

